

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **61-016615**

(43)Date of publication of application : **24.01.1986**

(51)Int.Cl.

H03K 5/00

(21)Application number : **59-138374**

(71)Applicant : **MITSUBISHI ELECTRIC CORP**

(22)Date of filing : **02.07.1984**

(72)Inventor : **KATO NAOYUKI**

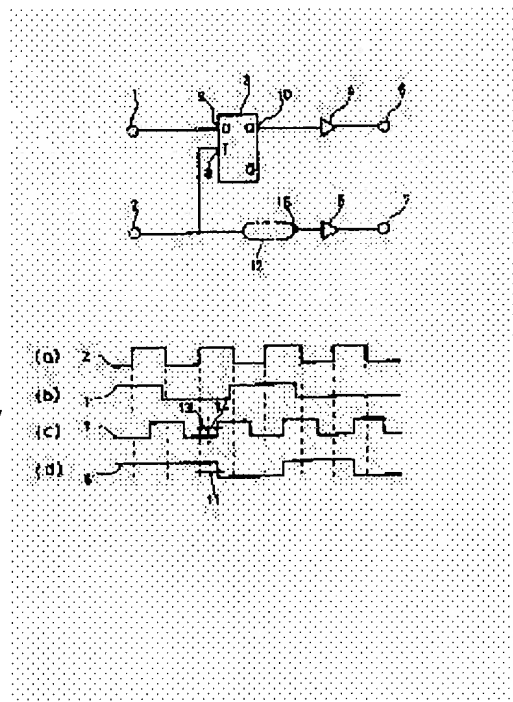
(54) PHASE SYNCHRONIZING CIRCUIT

(57)Abstract:

PURPOSE: To put a clock and a data signal completely in phase with each other even when a flip-flop which responds to a frequency nearly as high as the frequency of the clock signal is used by providing a delay circuit which cancels the propagation delay time between the toggle signal input and Q output of the flip-flop.

CONSTITUTION: The propagation delay; time 11 between the toggle signal input and Q output of the D type flip-flop 3 needs only to be equal to the delay time 14 of the delay circuit 12, so the absolute delay time of the flip-flop 3 needs not be reduced. Therefore, a flip-flop 3 which only responds to the frequency of the clock signal 3 is usable as the flip-flop 3 and, specially, a high-speed flip-flop is not required.

When the D type flip-flop 3 and delay circuit 12 are integrated on the same substrate, characteristics of the elements are uniform, so relatively the same delay time is obtained, thereby suppressing the phase shift between the clock signal 7 and data signal 6 even in case of a change in operation environment condition.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application]

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)1月24日

H 03 K 5/00

7259-5J

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 位相同期回路

⑯ 特 願 昭59-138374

⑰ 出 願 昭59(1984)7月2日

⑱ 発 明 者 加 藤 直 之 伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

位相同期回路

2. 特許請求の範囲

(Ⅰ) 基準クロック信号とこれに対し遅延して入力されるデータ信号との同期をとるための回路であって、トグル信号入力に上記基準クロック信号が入力されデータ信号入力に上記データ信号が入力されるフリップフロップと、上記基準クロック信号を上記フリップフロップのトグル信号入力とデータ出力との間の伝搬遅延時間と等しい時間遅延する遅延回路とを備えたことを特徴とする位相同期回路。

(Ⅱ) 上記遅延回路は、その回路形式が上記フリップフロップと同一のシリーズゲート形のものであることを特徴とする特許請求の範囲第1項記載の位相同期回路。

(Ⅲ) 上記フリップフロップと遅延回路とを同一半導体基板上に形成したことを特徴とする特許請求の範囲第1項または第2項記載の位相同期回路。

3. 発明の詳細な説明

(発明の技術分野)

この発明は、基準クロック信号とこれに対し遅れて入力されるデータ信号との同期をとるための位相同期回路に関するものである。

(従来技術)

従来、この種の装置として第1図に示すものがあつた。図において、3はDタイプフリップフロップで、8、9はトグル信号入力端子及びデータ信号入力端子、10はデータ信号出力端子、4、5はバッファゲートである。また1、2はデータ信号入力、クロック信号入力、6、7はそれぞれバッファゲート4、5を介して出力されるデータ信号、クロック信号である。

また第2図は本回路の各部のタイミングを示す。図において、11はフリップフロップ3のトグル信号入力端子8とQ出力端子10との間の伝搬遅延時間、13はバッファゲート4、5の入出力間伝搬遅延時間である。

次に動作について説明する。

クロック信号2はDタイプフリップフロップ3のトグル信号入力端子8へ入力され、これより遅れて入力されるデータ信号1はDタイプフリップフロップ3のデータ入力端子9へ入力される。クロック信号出力7は、クロック信号入力2に対して、バッファゲート5の入力-出力伝搬遅延時間13だけ遅れて出力される。一方、データ出力6はクロック入力2を基準とした場合、Dタイプフリップフロップ3のトグル信号入力とQ出力間の伝搬遅延時間11とバッファゲート4の入力-出力伝搬遅延時間13の和だけ遅延して出力される。

ここでバッファゲート4及び5の入力-出力伝搬遅延時間13は同一と考えられる。その結果、データ信号出力6はクロック信号出力7に対して完全に同期がとれているわけではなく、Dタイプフリップフロップ3のトグル信号入力とQ出力間の伝搬遅延時間11の分だけ位相がずれることになる。従って、クロック信号2の周期に対して、Dタイプフリップフロップ3のトグル信号入力とQ出力間の伝搬遅延時間11が無視できる程度に

する必要があり、クロック信号2の周波数が高い場合、Dタイプフリップフロップは非常に高速のものが要求されていた。

例えば、クロック信号2の周波数が100MHzとすると、Dタイプフリップフロップ3は本来ならば、100MHzに回答するもので良いはずであるが、伝搬遅延時間11をクロック信号2の周期(10ns)に対して無視出来る程に抑えるため1桁高い(1GHz)周波数応答を持つDタイプフリップフロップ3を使用しなければならなかった。

〔発明の概要〕

本発明は、上記のような従来のものの欠点を除去するためになされたもので、フリップフロップのトグル信号入力とQ出力との間の伝搬遅延時間を打ち消す遅延回路を設けることにより、クロック信号の周波数程度の周波数に回答するフリップフロップを用いた場合にもクロック信号とデータ信号との位相をより完全に同期させることができる位相同期回路を提供することを目的としている。

〔発明の実施例〕

以下、この発明の一実施例を図について説明する。

第3図は本発明の一実施例による位相同期回路の構成を示し、図において、第1図と同一符号は同一のものを示す。本実施例回路は第1図の従来回路に対し、遅延回路12が付加されたもので、この遅延回路12はDタイプフリップフロップ3のトグル入力端子8とバッファゲート5の入力との間に設けられ、該Dタイプフリップフロップ3のトグル入力端子8とQ出力10との間の伝搬遅延時間と等しい遅延時間を有するものである。

また第4図は第3図の回路の各部のタイミング波形を示し、図中、14は出力クロック信号7の遅延回路12による遅延時間である。

ここで本実施例装置の具体的な構成例を第5図に示す。ここで本発明は特にクロック信号2の周波数が高いときに有効であるので、現在一般的に使用されている論理回路の内で最も高速のECL(Emitter Coupled Logic)回路をその具体例の対象とした。

第5図は、第3図のDタイプフリップフロップ3及び遅延回路12の部分具体的な回路に展開したものである。

このDタイプフリップフロップ3は、標準的なシリーズゲートのマスタースレーブ方式によるもので、現在、最も一般的に使用されているものである。一方遅延回路12はその伝搬遅延時間14がDタイプフリップフロップ3のトグル入力8から出力10間の伝搬遅延時間11と同一となるように、Dタイプフリップフロップ3と同一のシリーズゲート回路形式をもって構成したものである。

第5図において、15は電源(Vcc)供給端子、9はDタイプフリップフロップ3のデータ(D, \overline{D})入力端子、10はそのデータ出力(Q, \overline{Q})端子、8はトグル(T, \overline{T})入力端子、16は遅延回路12の出力(TD, \overline{TD})端子である。また23は定電流源、24は抵抗、21、22は第1、第2の差動トランジスタ、17、20は共通エミッタがトランジスタ21のコレクタに接続された第3、第4の差動トランジスタ、18、19

は共通エミッタがトランジスタ22のコレクタに接続された第5、第6のトランジスタである。そして該トランジスタ18、19のコレクタには上記出力端子16が接続されそれぞれ反転、非反転の遅延信号が出力される。

そしてトランジスタ17、19のベースは“H”レベルに、トランジスタ18、20のベースは“L”レベルにバイアスされる。トランジスタ21、22のベースへ入力されたクロック信号8により、トランジスタ21もしくは22のどちらか一方が選択的にON状態になり、トランジスタ17、20もしくはトランジスタ18、19の組み合わせのどちらか一方が選択されることにより、出力16の状態が決まる。

なお、上記Dタイプフリップフロップ3、遅延回路12における、シリーズゲート回路形式とは、トランジスタ17~20とトランジスタ21、22とが直列に接続されていることをいうものである。

次に作用効果について説明する。

本実施例ではDタイプフリップフロップ3のトグル信号入力とQ出力との間の伝搬遅延時間11と、遅延回路12での遅延時間14とが同じ値であれば良いので、フリップフロップ3の絶対的な遅延時間を小さくする必要が無い。従って、クロック信号2の周波数に応答する程度のフリップフロップ3が使用でき、特に高速のフリップフロップを必要としないため、ECL (Emitter Coupled Logic) 形式のフリップフロップの場合には低消費電力化の効果が大きい。

またDタイプフリップフロップ3と遅延回路12を同一基板上に半導体集積化すると、素子の特性が揃っているため相対的に同一の遅延時間が得られるので、動作環境条件（例えば電源電圧、周囲温度など）が変化した場合でも、クロック信号7とデータ信号6の位相のずれを抑えることができる効果がある。

(発明の効果)

以上のように、この発明に係る位相同期回路によれば、フリップフロップのトグル信号入力とQ

出力との間の伝搬遅延時間を打ち消す遅延回路を設けたので、クロック信号の周波数とほぼ同等の周波数に定答するフリップフロップを用いた場合にもクロック信号とデータ信号との位相をより完全に同期させることができる効果がある。

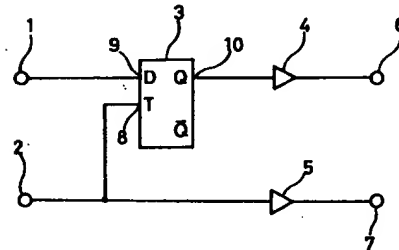
4. 図面の簡単な説明

第1図は従来の位相同期回路の回路図、第2図は第1図の各部の波形図、第3図は本発明の一実施例による位相同期回路の回路図、第4図は第3図の各部の波形図、第5図は第3図の回路の具体的な構成を示す図である。

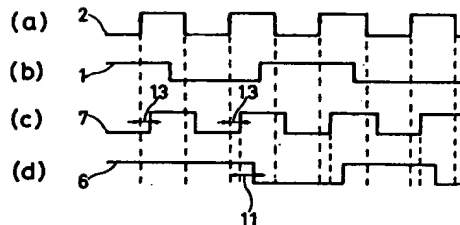
3…Dタイプフリップフロップ、12…遅延回路、21、22…第1、第2の差動トランジスタ、17、20…第3、第4の差動トランジスタ、18、19…第5、第6の差動トランジスタ、23…定電流源、24…抵抗。

代理人 大 岩 増 雄

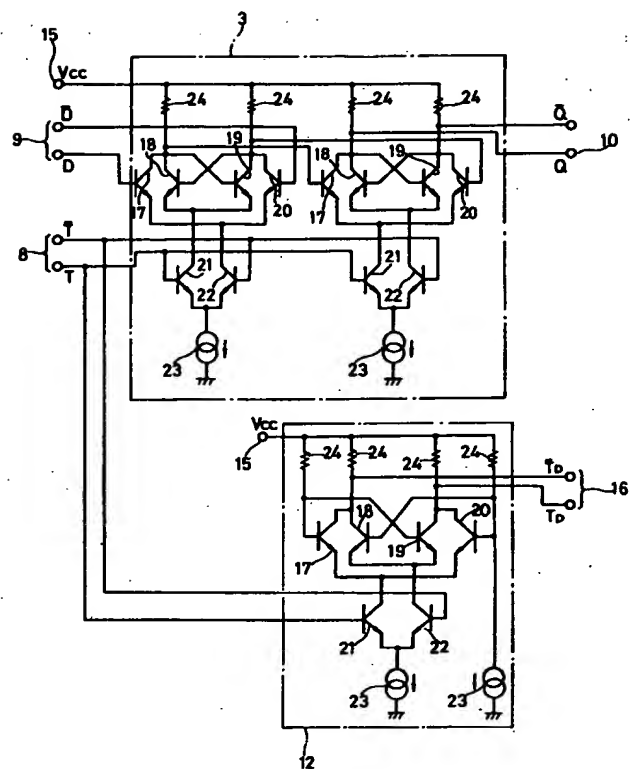
第 1 図



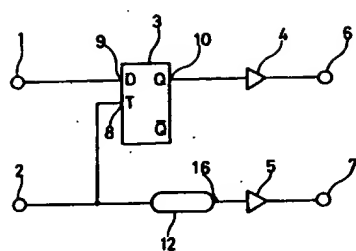
第 2 図



第 5 圖



第 3 圖



第 4 圖

